

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-276221

(43)Date of publication of application : 22.10.1993

(51)Int.Cl.

H04L 29/10
G06F 13/28
H04L 13/08

(21)Application number : 04-064458

(71)Applicant : NEC CORP

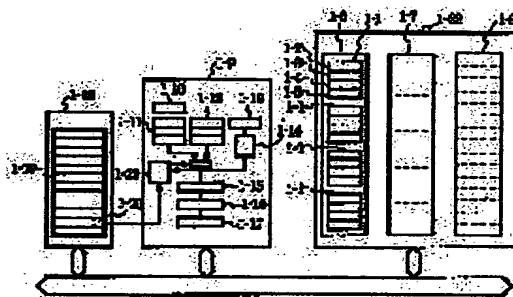
(22)Date of filing : 23.03.1992

(72)Inventor : KOZU YUHEI

(54) RECEPTION CONTROL SYSTEM**(57)Abstract:**

PURPOSE: To improve the working efficiency of an external memory device by receiving a frame of fixed length or variable length, and selecting a buffer area to which the frame is transferred based on the specification of a reception frame.

CONSTITUTION: When frame reception is started at a reception control part 1-18, the frame is stored in a reception data FIFO 1-19 sequentially. At this time, a descriptor selection circuit 1-21 in a DMA controller 1-9 decides the specification of the reception frame, and transfers information in an I-frame and descriptor storage register 1-11 when the reception frame shows an information frame, and the one in a U/S frame transfer information storage register 1-12 when it shows a non-numbered/monitoring frame to a control register 1-15, respectively. Thence, the reception frame is DMA-transferred to the buffer area designated on an external storage area 1-22. Therefore, it is possible to transfer a short frame of fixed length to a small buffer dedicated for such frame, which improves the working efficiency of the external storage area 1-22.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-276221

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 29/10				
G 0 6 F 13/28	3 1 0 Z	9072-5B		
H 0 4 L 13/08		8020-5K		
		8020-5K	H 0 4 L 13/ 00	3 0 9 B

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-64458

(22)出願日 平成4年(1992)3月23日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 神津 雄平

東京都港区芝五丁目7番1号日本電気株式会社内

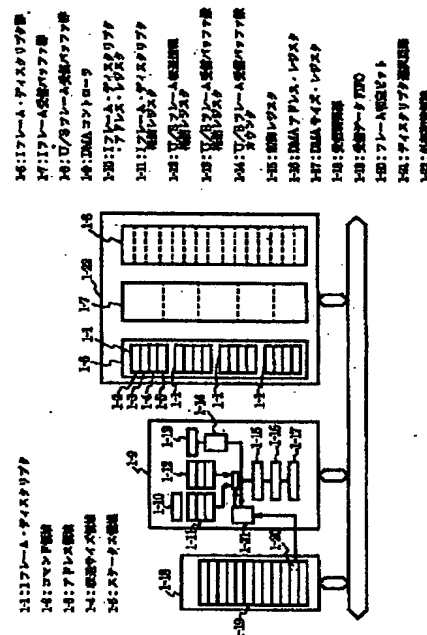
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 受信制御方式

(57)【要約】 (修正有)

【目的】 ディスクリプタのチェイニング処理の遅延によるオーバーランを防止し、外部記憶領域の使用効率を改善する。

【構成】 外部記憶領域1-22は、コマンド領域1-2、アドレス領域1-3、転送サイズ領域1-4およびステータス領域1-5を含むディスクリプタ1-1を有するIフレーム・ディスクリプタ群1-6と、Iフレーム受信バッファ群1-7と、U/Sフレーム受信バッファ群1-8とから成る。DMAコントローラ1-9は、Iフレーム・ディスクリプタ・アドレス・レジスタ1-10、Iフレーム・ディスクリプタ格納レジスタ1-11、U/Sフレーム転送情報格納レジスタ1-12、U/Sフレーム受信バッファ数格納レジスタ1-13、U/Sフレーム受信バッファ数カウンタ1-14、制御レジスタ1-15、DMAアドレス・レジスタ1-16およびDMAサイズ・レジスタ1-17から成る。受信制御部1-11は、フレーム判定ビット1-20を含む受信データFIFO1-19から成る。



【特許請求の範囲】

【請求項1】 所定の外部記憶領域上に予め連続して設定されている複数のディスクリプタに格納されている制御情報に従って、受信フレームをDMAコントローラによりDMA転送する受信制御方式において、前記複数のディスクリプタの内の第1番目のディスクリプタを指定するアドレスを格納する第1の記憶手段と、前記複数のディスクリプタに格納されている制御情報を格納する第2の記憶手段と、前記受信フレームをDMA転送するための制御情報を格納する第3の記憶手段と、前記受信フレームに含まれる特定の受信フレームを格納の対象とする、前記外部記憶領域上のバッファ数を格納する第4の記憶手段と、前記特定の受信フレームのDMA転送が行われる度に、当該DMA転送回数を格納する第5の記憶手段と、前記特定の受信フレームのDMA転送回数をカウントする計数手段と、DMA転送の対象とする受信フレームの種別に応じて、前記第2の記憶手段および前記第3の記憶手段の内の何れか一方の記憶手段を選択する手段と、を前記DMAコントローラに備え、前記第2および第3の記憶手段に格納される制御情報の内の何れか一方の制御情報により指定される前記外部記憶領域上の個々のバッファ領域に対して、当該受信フレームを識別してDMA転送することを特徴とする受信制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は受信制御方式に関し、特に、DMAコントローラにより制御されるデータ転送系において用いられる受信制御方式に関する。

【0002】

【従来の技術】従来、この種のデータ転送系においては、DMAコントローラにより、受信回路より連続して受信データを読み出して、外部記憶領域上のバッファ領域に転送する場合には、ホスト・システムにより、リアルタイムでDMAコントローラを制御することによるシステム効率の低下を防止するために、以下に説明するディスクリプタ制御によるDMAコントローラの制御方式が提案されている。図2は本従来例を示すシステム構成図であり、図2に示されるように、コマンド領域2-2、アドレス領域2-3、転送サイズ領域2-4およびステータス領域2-5により形成されるディスクリプタ2-1を複数個含む外部記憶領域2-11と、ディスクリプタ・アドレス・レジスタ2-7、制御レジスタ2-8、DMAアドレス・レジスタ2-9およびDMAサイズ・レジスタ2-10を含むDMAコントローラ2-6と、複数の受信データFIFO2-13を含む受信制御部2-12とを備えて構成される。

【0003】例えば、当該データ転送系において、ハイ

レベル・データ・リンク・コントロール手順（以下、HDL Cと略称する）によるフレームの受信を行う場合には、ディスクリプタ制御により、受信フレームは外部記憶領域上の複数のバッファ領域に連続してDMA転送される。ホスト・システムは、図2のシステム構成図に示されるように、所定のディスクリプタ・フォーマットに従って、予め外部記憶領域2-11上に複数のディスクリプタの情報を連続した領域に設定する。図2において、外部記憶領域2-11上の各ディスクリプタ2-1のフォーマットは、DMAコントローラ2-6に対する制御情報を格納するコマンド領域2-2、転送データを格納するバッファ領域の先頭アドレスを示すアドレス領域2-3、転送データ数を格納する転送サイズ領域2-4、およびDMA転送の実行結果を格納するステータス領域2-5を含む形で構成される。

【0004】ホスト・システムを介して、最初に行うディスクリプタの先頭アドレスがディスクリプタ・アドレス・レジスタ2-7に設定され、これによりDMAコントローラ2-6が起動される。DMAコントローラ2-6により、ディスクリプタ・アドレス・レジスタ2-7の設定値はDMAアドレス・レジスタ2-9にロードされ、また予め規定されたディスクリプタのサイズがDMAサイズ・レジスタ2-10にロードされる。そして、DMAコントローラ2-6の制御作用を介して、DMAアドレス・レジスタ2-9に設定されたアドレスから、DMAサイズ・レジスタ2-10に設定されたデータ数だけDMA転送が開始される。この1回目のDMA転送により、外部記憶領域2-11上の指定されたディスクリプタ2-1のコマンド領域2-2、アドレス領域2-3および転送サイズ領域2-4が、DMAコントローラ2-6に読み込まれる。

【0005】DMAコントローラ2-6により読み込まれたコマンド領域2-2の情報、アドレス領域2-3の情報および転送サイズ領域2-4の情報は、それぞれ制御レジスタ2-8、DMAアドレス・レジスタ2-9およびDMAサイズ・レジスタ2-10に設定されて、再度DMA転送が開始される。この2回目のDMA転送により、受信制御部2-12により受信された、受信データFIFO2-13に格納されている受信フレームの各データは、ディスクリプタ2-1により指定された外部記憶領域2-11上のバッファ領域に格納される。

【0006】2回目のDMA転送により受信データの転送が終了すると、3回目のDMA転送として、DMAコントローラ2-6により、2回目のDMA転送時に実際に転送されたデータ数がサイズ領域2-4に転送され、またDMA転送の実行結果および受信フレームに関する情報がステータス領域2-5に転送される。上述した3回のDMA転送による一連の動作により、1回の受信フレームのバッファ領域に対するデータ転送が完了する。

【0007】また、制御レジスタ2-8に格納された制

御情報により、更には、ディスクリプタによるDMA転送のチェイニングが指定されていれば、DMAコントローラ2-6により、ディスクリプタ2-1に続くアドレスがDMAアドレス・レジスタ2-9に設定され、ディスクリプタ2-1に続くアドレスに格納されているディスクリプタ情報が読出される。そして更に、このディスクリプタ情報に従って指定されるバッファ領域に対するデータ転送を行うために、DMA転送が起動される。このようにして、DMA転送のチェイニング動作は、ディスクリプタ2-1のコマンド領域2-2において指定されたDMAコントローラ2-8の制御情報により、チェイニングの終了を指示されるまで連続して実行される。

【0008】

【発明が解決しようとする課題】 上述した従来の受信制御方式においては、受信された情報フレーム（以下、1フレームと云う）のオーバーランを避けるために、受信された当該1フレームを、一つのディスクリプタにより指定されるバッファ領域に転送しようとする場合、各バッファ領域を最大フレーム長に合わせて用意する必要があり、監視フレーム（以下、Sフレームと云う）、あるいは非番号制フレーム（以下、Uフレームと云う）を受信した場合においても、転送対象として、必要以上に大きなバッファ領域に転送されることになる。従って、外部記憶領域の利用効率が低下するという欠点がある。

【0009】この問題を回避するために、従来は、ディスクリプタのチェイニングにより、一つの受信フレームを複数のバッファ領域に転送している。しかしながら、上述した従来の受信制御方式の場合には、DMAコントローラにおいては、各ディスクリプタに対する3回目のDMA転送が終了してから、次のディスクリプタに対するアクセスが開始される。一つの受信フレームをフレーム長より小さい複数のバッファ領域に格納する場合には、複数のディスクリプタのチェイニングにより各バッファ領域に受信データがDMA転送される。この際、各バッファ領域に対するデータ転送は、前のディスクリプタの3回目のDMA転送終了後に開始され、そのディスクリプタの1回目のDMA転送により、ディスクリプタの情報がDMAコントローラに読込まれた後に実行される。従って、各バッファ領域に対するDMA転送の間に、2回のディスクリプタへのDMA転送が介在している。

【0010】このために、ディスクリプタのチェイニングにより、一つの受信フレームの各フィールドを複数のバッファ領域に転送する場合に、各バッファ領域に対して転送する間に2回のDMA転送を介入するため時間間隔が大きくなり、高速の通信時においては、受信オーバーランが発生し易くなる。従って、送信側からの消失フレームの再送信処理によるホスト・システムのオーバーヘッドが大きくなり、また回線側のスループットが低下する等、システム全体の実行効率が低下するという欠点が

ある。

【0011】

【課題を解決するための手段】 本発明の受信制御方式は、所定の外部記憶領域上に予め連続して設定されている複数のディスクリプタに格納されている制御情報に従って、受信フレームをDMAコントローラによりDMA転送する受信制御方式において、前記複数のディスクリプタの内の第1番目のディスクリプタを指定するアドレスを格納する第1の記憶手段と、前記複数のディスクリプタに格納されている制御情報を格納する第2の記憶手段と、前記受信フレームをDMA転送するための制御情報を格納する第3の記憶手段と、前記受信フレームに含まれる特定の受信フレームを格納の対象とする、前記外部記憶領域上のバッファ数を格納する第4の記憶手段と、前記特定の受信フレームのDMA転送が行われる度に、当該DMA転送回数を格納する第5の記憶手段と、前記特定の受信フレームのDMA転送回数をカウントする計数手段と、DMA転送の対象とする受信フレームの種別に応じて、前記第2の記憶手段および前記第3の記憶手段の内の何れか一方の記憶手段を選択する手段と、を前記DMAコントローラに備え、前記第2および第3の記憶手段に格納される制御情報の内の何れか一方の制御情報により指定される前記外部記憶領域上の個々のバッファ領域に対して、当該受信フレームを識別してDMA転送することを特徴としている。

【0012】

【実施例】次に、本発明について図面を参照して説明する。

【0013】図1は本発明の一実施例を示すシステム構成図である。図1に示されるように、本実施例は、コマンド領域1-2、アドレス領域1-3、転送サイズ領域1-4およびステータス領域1-5を含む複数の1フレーム・ディスクリプタ1-1により形成される1フレーム・ディスクリプタ群1-6と、複数の1フレーム受信バッファを含む1フレーム受信バッファ群1-7と、複数のU/Sフレーム受信バッファを含むU/Sフレーム受信バッファ群1-8とにより構成される外部記憶領域1-22と、1フレーム・ディスクリプタ・アドレス・レジスタ1-10、1フレーム・ディスクリプタ格納レジスタ1-11、U/Sフレーム転送情報格納レジスタ1-12、U/Sフレーム受信バッファ数格納レジスタ1-13、U/Sフレーム受信バッファ数カウンタ1-14、制御レジスタ1-15、DMAアドレス・レジスタ1-16およびDMAサイズ・レジスタ1-17を含むDMAコントローラ1-9と、フレーム判定ビット1-20を含む複数の受信データFIFO1-19により形成される受信制御部1-18とを備えて構成される。

【0014】図1において、外部記憶領域1-22を形成する1フレーム・ディスクリプタ群1-6により制御されるDMAコントローラ1-9により、フレーム長が

可変のIフレーム、固定長のUフレームまたはSフレームを受信して、指定されるバッファ領域に格納する場合
には、ホスト・システムにおいては、まずIフレーム受
信のためのディスクリプタの設定と、U/Sフレーム受
信のための受信情報の設定が行われる。例えば、上記の
各領域において構成されるディスクリプタが、HDL C
手順におけるIフレームを格納するためのディスクリプ
タ群1-6に設定される。また、固定フレーム長のU/
Sフレーム受信のためのDMA制御情報および先頭バッ
ファ・アドレス、バッファ・サイズは、DMAコントロー
ラ1-9に含まれるU/Sフレーム転送情報格納レジ
スタ1-12に設定され、またU/Sフレーム受信バッ
ファ群1-8に予め確保されている受信バッファ数は、
U/Sフレーム受信バッファ数格納レジスタ1-13に
設定される。

【0015】次いで、DMAコントローラ1-9が起動
され、連続した外部記憶領域1-22上の複数のIフレ
ーム・ディスクリプタ1-1、またはU/Sフレーム転
送情報を介して、受信されたフレームは各Iフレーム・
ディスクリプタ1-1またはU/Sフレーム転送情報に
より指定される外部記憶領域1-22上のIフレーム受
信バッファ群1-7に含まれる対応するIフレーム受信
バッファに転送される。以下に、各ディスクリプタのチ
ェイニングにより連続してDMA転送を実行し、受信フ
レームを、そのフレーム種別によりディスクリプタまた
はU/Sフレーム転送情報により指定されるバッファ領
域に転送する場合の動作について説明する。

【0016】ホスト・システムにおいては、Iフレーム
に対応するIフレーム・ディスクリプタ群1-6上にお
いて、最初に実行されるIフレーム・ディスクリプタ1
-1の先頭アドレスが、Iフレーム・ディスクリプタ・
アドレス・レジスタ1-10に設定され、DMAコント
ローラ1-9が起動される。DMAコントローラ1-9
により、Iフレーム・ディスクリプタ・アドレス・レジ
スタ1-10における設定値が、DMAアドレス・レジ
スタ1-16にロードされ、また、予め規定されている
ディスクリプタのサイズが、DMAサイズ・レジスタ1
-17にロードされる。そしてDMAコントローラ1-
9により、DMAアドレス・レジスタ1-16に設定さ
れたアドレスから、DMAサイズ・レジスタ1-17に
設定されたデータ数分だけDMA転送が開始される。こ
のDMA転送により、外部記憶領域1-22上において
指定されたIフレーム・ディスクリプタ1-1に含まれ
るコマンド領域1-2、アドレス領域1-3および転送
サイズ領域1-4がDMAコントローラ1-9に読み込ま
れて、Iフレーム・ディスクリプタ格納レジスタ1-1
1に対して転送される。

【0017】Iフレーム・ディスクリプタ格納レジスタ
1-11に対してIフレーム・ディスクリプタ1-1が
転送されてくると、フレームの受信が可能となる。これ

により、受信制御部1-18においてフレーム受信が開始
されると、その受信データは順次受信データFIFO
1-19に格納される。この際に、ディスクリプタ選択
回路1-21においては、受信されたフレームの種別が
判定される。HDL C手順により、例えば、CCITT
の勧告X. 25のデータ・リンク層(LAP-B)であ
れば、受信フレームの先頭から2バイト目が制御フィー
ルドであり、LSBビットが0であればIフレーム、1
であればUフレームまたはSフレームである。従って、
このLSBビットをフレーム判定ビット1-20と想定
して、この情報により、ディスクリプタ選択回路1-2
1においては、Iフレーム・ディスクリプタ格納レジス
タ1-11またはU/Sフレーム転送情報格納レジスタ
1-12の何れかの情報に従ってDMA転送を行うべき
か否かを判定する。即ち、受信フレームがIフレームで
ある場合には、Iフレーム・ディスクリプタ格納レジス
タ1-11の情報が、制御レジスタ1-15、DMAア
ドレス・レジスタ1-16およびDMAサイズ・レジス
タ1-17にそれぞれ転送され、逆に、受信フレームが
U/Sフレームである場合には、U/Sフレーム転送情
報格納レジスタ1-12の情報が転送される。

【0018】これらの情報の何れかが制御レジスタ1-
15、DMAアドレス・レジスタ1-16およびDMA
サイズ・レジスタ1-17に転送されると、次いで2回
目のDMA転送として、受信フレームが外部記憶領域1
-22上のバッファ領域にDMA転送される。そして、
DMAコントローラ1-9により、制御レジスタ1-1
5、DMAアドレス・レジスタ1-16およびDMAサ
イズ・レジスタ1-17により指定されるバッファ領域
に対するDMA転送が開始される。

【0019】このようにして、DMAサイズ・レジスタ
1-17に設定された数だけのDMA転送が終了する
か、または受信フレームの最終データの転送が終了す
ると、Iフレーム受信である場合には、3回目のDMA転
送として、2回目のDMA転送に関する実行結果のステ
ータスおよび転送サイズ数が、ディスクリプタのステ
ータス領域1-5にDMA転送を介して書き戻される。ま
た、U/Sフレームの場合には、U/Sフレーム受信バ
ッファ・カウンタ1-14により、予めU/Sフレーム
受信バッファ数格納レジスタ1-13に設定されている
バッファ数がディクリメントされる。

【0020】上述した3回または2回のDMA転送によ
り、一つのIフレームまたはU/Sフレームのバッファ
領域に対する転送が完了する。この後においては、空き
となったIフレーム・ディスクリプタ格納レジスタ1-
11に、チェイリングされている次のIフレーム・ディ
スクリプタ1-1を再度読み込むことにより、次に受信フ
レームを転送することが可能となる。

【0021】上述したように、DMAコントローラ1-
9においては、受信されたフレームの種別を判定するこ

とにより、予め読込まれていたIフレーム・ディスクリプタまたはU/Sフレーム転送情報の内の何れかを選択することが可能である。このため、バッファ・チェイニングにより、複数バッファ領域に対して転送することによるデータ転送間隔に影響されことなく、Iフレームのように長いフレームを、受信制御部1-18から当該受信データを一つのバッファ領域に転送することが可能となり、受信制御部1-18における受信オーバーランを防止することができるとともに、外部記憶領域1-22を有効に活用することができる。また、UフレームまたはSフレームのように短い固定長のフレームを、当該フレーム専用の小さいバッファに転送することにより、外部記憶領域1-22の使用効率を向上させることも可能である。従って、また、相手局におけるフレームの再送回数が減少することにより、ホスト・システムのオーバーヘッドが低減されるとともに、回線効率およびシステム効率も改善される。

【0022】

【発明の効果】以上説明したように、本発明は、固定長または可変長のフレームを受信して、ディスクリプタで指定されるバッファ領域に転送する場合に、当該受信フレームの種別により転送されるバッファ領域を選択することにより、外部記憶領域の利用効率を向上させることができるという効果があり、また、バッファ領域のデータを受信制御部との間においてDMA転送する際に、複数のディスクリプタのチェイニングによるDMA転送の実行間隔を無視することができるため、高速の通信システムにおいても、受信制御部における受信オーバーランを防止することが可能であり、これにより、相手局におけるフレームの再送等により、ホスト・システムにおいてディスクリプタを再設定するオーバーヘッドが低減されるとともに、通信回線効率および通信システム効率を*

*向上させることができるという効果がある。

【図面の簡単な説明】

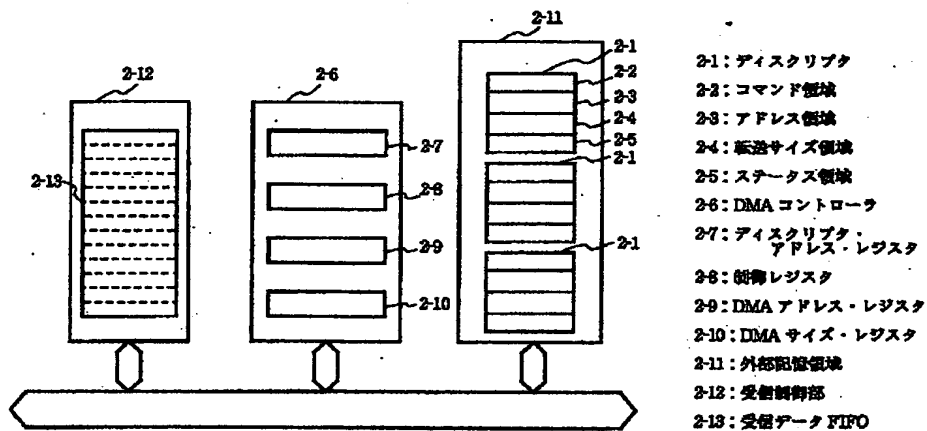
【図1】本発明の一実施例を示すシステム構成図である。

【図2】従来例を示すシステム構成図である。

【符号の説明】

- 1-1 Iフレーム・ディスクリプタ
- 1-2、2-2 コマンド領域
- 1-3、2-3 アドレス領域
- 1-4、2-4 転送サイズ領域
- 1-5、2-5 ステータス領域
- 1-6 Iフレーム・ディスクリプタ群
- 1-7 Iフレーム受信バッファ群
- 1-8 U/Sフレーム受信バッファ群
- 1-9、2-6 DMAコントローラ
- 1-10 Iフレーム・ディスクリプタ・アドレス・レジスタ
- 1-11 Iフレーム・ディスクリプタ格納レジスタ
- 1-12 U/Sフレーム転送情報格納レジスタ
- 20 1-13 U/Sフレーム受信バッファ数格納レジスタ
- 1-14 U/Sフレーム受信バッファ数カウンタ
- 1-15、2-8 制御レジスタ
- 1-16、2-9 DMAアドレス・レジスタ
- 1-17、2-10 DMAサイズ・レジスタ
- 1-18、2-12 受信制御部
- 1-19、2-13 受信データFIFO
- 1-20 フレーム判定ビット
- 1-21 ディスクリプタ選択回路
- 30 1-22、2-11 外部記憶領域
- 2-7 ディスクリプタ・アドレス・レジスタ

【図2】



【図1】

